

Desain dan Analisis Rangkaian Terpadu (IC) *Standard TTL AOI Dual 2-Wide 2-Input*

Syaiful Rachman¹⁾ Onny setyawati²⁾ Wijono³⁾ M. Julius St⁴⁾
Program Magister dan Doktor Jurusan Teknik Elektro Fakultas Teknik
Universitas Brawijaya

Politeknik Negeri Banjarmasin

1) syaifulrachman1@gmail.com

2) osetiawaty@yahoo.com

3) wijono@ub.ac.id

4) julius-st@telkom.net

Abstrak— Rangkaian terpadu (IC) gerbang logika *standard TTL AOI (AND OR INVERTER) Dual 2-Wide, 2-Input* berdasarkan kecepatan operasi gerbang digital meliputi parameter waktu t_{PLH} (*transisi low to high*), t_{PHL} (*transisi high to low*) dan *time propagation delay average* (t_{PD}) dapat dipengaruhi oleh kinerja temperature ruang sehingga dapat diketahui batasan kemampuan dari hasil perancangan rangkaian gerbang logika TTL AOI, Spesifikasi hasil simulasi menggunakan Program Pspice dengan kapasitor beban $C_L = 15$ pf dan $R_L = 5,2$ k dengan tingkat suhu yang berbeda meliputi -55°C , 27°C , 125°C dan menghasilkan perbedaan *transisi low to high*, *transisi high to low* dan waktu rata-rata propagasi yang dihasilkan. Untuk kondisi suhu minimum kinerja kecepatan waktu propagasi semakin lambat dibandingkan dan pada grafik VTC suhu 125°C ada peningkatan tegangan output (V_{OH}), sedangkan suhu -55°C terjadi penurunan V_{OH} , dibandingkan pada suhu ruang (*Room Temperature*) 27°C diperoleh peningkatan kecepatan 9,8 kali dibandingkan *datasheet* TTL AOI SN54LS51, kemudian hasil penggambaran dengan layout sebesar $19,50$ mm x $9,36$ mm,

Kata Kunci— Rangkaian Terpadu (IC), *TTL AOI, Dual 2-Wide-2 input*

I. PENDAHULUAN

1.1 LATAR BELAKANG

Rangkaian terpadu TTL AOI *Dual 2-wide 2-input* adalah gabungan gerbang logika yang terdiri dari dua gerbang logika AND dan gerbang logika OR dan INVERTER, merupakan gerbang logika *equivalent* yang mempunyai fungsi logika yang sama pada rangkaian kombinasi yang dapat disederhanakan konfigurasi sehingga memperkecil jumlah komponen transistor digunakan dalam perancangan dengan fungsi yang sama sebagai rangkaian gerbang logika TTL AOI (AND OR INVERTER). Menentukan kecepatan operasi gerbang digital diukur berdasarkan parameter yaitu t_{PLH} (*transisi low to high*), t_{PHL} (*transisi high to low*) dan *fall time* (t_R) dan *rise time* (t_F) kemudian *propagation delay average*

(t_{PD}), merupakan rata-rata propagation delay dari kecepatan IC digital. Parameter ini mempengaruhi Keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Berdasarkan metode perancangan menurut Rashid rangkaian terintegrasi *standard TTL NAND gate*, selama transisi *High to Low* (t_{PHL}) [6]. Penelitian berdasarkan jurnal dilakukan oleh Lee, Singh dan Cooper menggunakan *standard integrated circuit* inverter TTL pada tahun 2008 dengan judul *Demonstration and Characterization of Bipolar Monolithic Integrated Circuits in 4H-SiC* dengan area emitor aktif $0,0105$ mm persegi, panjang emitor (L_E) sebesar 100 μm dan 500 μm dan *Common Emitor Gain* (β_F) sebesar 22 dan 17, hasil penelitiannya menggunakan sumber tegangan sebesar 15 Volt, menghasilkan t_{PLH} sebesar 98 ns dan t_{PHL} sebesar 114 ns dan kecepatan rata-rata *time propagation delay* sebesar 108 ns. Kemudian dilanjutkan pada tahun 2011 Singh and Cooper dengan tema *Bipolar Integrated Circuits in 4H-SiC* penelitian yang bertujuan dengan mengoptimalkan dengan rangkaian *inverter STTL* dengan luasan panjang emitor sebesar 125 μm dan diperoleh kecepatan *propagation delay* sebesar 9,8 ns, disimulasikan menggunakan P-SPICE [3]- [10].

Permasalahan rangkaian TTL pada suhu ruang (*room temperature*) akan mempengaruhi kinerja dari waktu propagasi selama kondisi transisi *Low* ke *High* (t_{PLH}) [4], parameter karakteristik alih tegangan (V_{TC}) kurang ideal. Sedangkan rangkaian TTL pada bagian rangkaian aktif *pull-up* terkait dengan peningkatan arus rata-rata dari output yang dihasilkan sehingga mengakibatkan transisi waktu propagasi dari *high* ke *low* (t_{PHL}) lebih lama, sehingga akan memengaruhi waktu propagasi rata-rata dari IC TTL. Berdasarkan permasalahan rangkaian TTL yang telah dikemukakan untuk memperkecil atau mengurangi *time propagation delay* (t_{PD}) merupakan parameter waktu rata-rata propagasi dihasilkan dari kecepatan gerbang logika akan diprioritaskan pada penelitian ini, dan menghasilkan karakteristik transfer alih tegangan (V_{TC}) lebih ideal, sehingga dapat diperoleh hasil lebih optimal terhadap

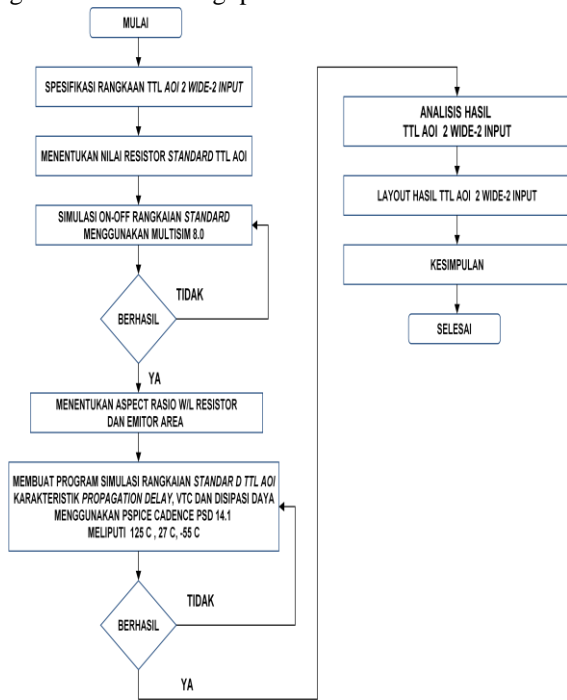
kemampuan kinerja dari rangkaian terpadu *standard TTL (Integrated Circuit Standar TTL) dual 2-wide,2-input AOI* sehingga dikategorikan sebagai rangkaian *High-speed TTL* kemudian hasil penelitian akan dibandingkan dengan *datasheet IC TTL* gerbang AOI *dual 2-wide,2-input (IC 54LS51)*.

1.2 TUJUAN

Tujuan yang dicapai dalam penelitian ini adalah merancang IC TTL AOI (AND OR INVERTER) jenis *standard Dual 2-Wide,2-Input* dengan menganalisis kinerja rangkaian dengan perhitungan dan simulasi sehingga diharapkan hasil *propagation delay* dan karakteristik alih tegangan (VTC) lebih optimal dibandingkan dengan IC *datasheet SN 54LS51*

II. METODELOGI PENELITIAN

Penyusunan metodologi penelitian berdasarkan spesifikasi rangkaian *standard TTL AOI* dengan konfigurasi IC *Dual 2-Wide,2-Input* dan kemudian hasil simulasi di analisis dilanjutkan penggambaran layout IC, seperti ditunjukkan pada Gambar 2.1. merupakan diagram alir metodologi penelitian.



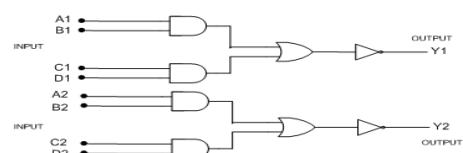
Gambar 2.1 Diagram alir metodologi penelitian TTL AOI Dual 2-Wide,2-Input

III. PERANCANGAN RANGKAIAN

bab ini membahas mengenai tahapan-tahapan dalam merancang IC TTL AOI *Dual 2-Wide,2-Input*

3.1 Konfigurasi Dual 2-Wide,2-Input TTL AOI

Konfigurasi gerbang logika *Dual 2-Wide,2-Input TTL AOI*, merupakan gabungan gerbang logika yang terdiri dari dua gerbang logika AND, satu gerbang logika OR dan Inverter seperti ditunjukkan pada Gambar 3.1.



Gambar 3.1 Konfigurasi TTL AOI

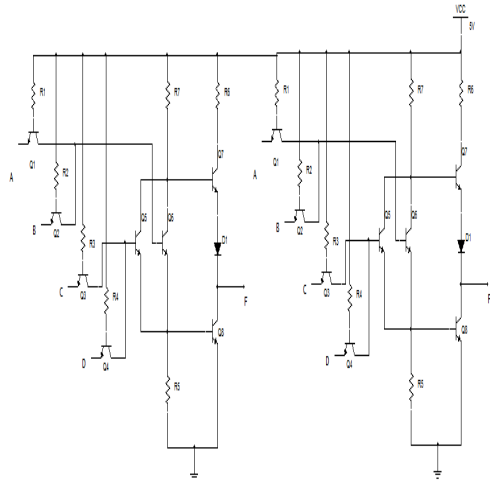
Sedangkan Daftar kebenaran TTL AOI *Dual 2 wide 2 Input* ditunjukkan dalam Tabel 3.1. Fungsi logika TTL AOI yaitu jika input A dan B atau input C dan D pada kondisi tinggi (*High*) maka output Y adalah berlogika nol (*Low*).

Tabel 3.1. Daftar kebenaran TTL AOI Dual 2 wide 2 Input

Input				Output
A	B	C	D	Y
High	High	x	x	Low
x	x	High	high	Low
x	x	x	x	High

3.2 Desain rangkaian dual 2 wide 2 Input TTL AOI

Tahap pertama perancangan rangkaian *standard TTL AOI* yang menggunakan transistor bipolar jenis NPN, rangkaian kombinasi yang dapat disederhanakan konfigurasi sehingga memperkecil jumlah komponen transistor digunakan dalam perancangan dengan fungsi yang sama sebagai rangkaian *equivalent* gerbang logika TTL AOI (AND OR INVERTER) seperti ditunjukkan dalam Gambar 3.2 merupakan *standard TTL AOI Dual 2 wide 2 Input*.



Gambar 3.2 Rangkaian *equivalent standard TTL AOI Dual 2-Wide,2-Input* [8,9].

3.3 Model Parameter Dasar Transistor Bipolar

Dalam merancang IC TTL terdapat beberapa nilai parameter proses yang telah diketahui nilai dan satuannya, penggunaan parameter ini untuk lebih mendekati pada karakteristik devais dan mempermudah dalam proses analisis. Nilai parameter-parameter proses tersebut antara lain :

- ❖ β_F merupakan *forward common emitor gain* yang digunakan adalah sebesar 10
- ❖ β_R merupakan *reverse common emitor gain* yang digunakan adalah sebesar 0,1
- ❖ I_S merupakan arus saturasi yang digunakan adalah sebesar $3,64 \times 10^{-16} A$

ketiga parameter ini diperlukan untuk mengkarakterisasi individu BJT meliputi I_S , β_F , dan β_R [9].

3.4 Perancangan nilai W dan L resistor

Setelah diperoleh hasil perhitungan nilai resistor berdasarkan tipe desain yang akan digunakan parameter Resistansi sheet (R_{sh}). Panjang resistor adalah L dan luas penampang adalah W, ditentukan $200 \Omega /square$ dan W sebesar $50 \mu m$ [2]. dengan persamaan :

$$R = \frac{L}{W} R_{sh} \quad (3.1)$$

Untuk hasil keseluruhan perhitungan nilai rasio W/L resistor ditunjukkan dalam Tabel 3.2

Tabel 3.2 Hasil aspect rasio W dan L Resistor TTL AOI.

Hasil perhitungan resistor			
Standard	W	L	satuan
R _{1A}	4k	50	1000
R _{1B}	4k	50	1000
R _{1C}	4k	50	1000
R _{1D}	4k	50	1000
R ₂	900 Ω	50	225
R ₃	1,7k	50	875
R ₄	130 Ω	50	32,5

3.5 Perancangan Emitor Area Transistor Bipolar

Struktur transistor bipolar NPN pada penelitian ini menggunakan *common emitor gain* ($\beta_F = 10$) dan $\beta_R = 0,1$ sedangkan doping basis $N_{DE} = 10^{20} \text{ cm}^{-3}$ dan doping basis (N_{AB}) = $3,1.10^{17} \text{ cm}^{-3}$, Doping kolektor (N_{DC}) = $2.10^{16} \text{ cm}^{-3}$, Mobilitas hole emitor (μ_{pE}) = $50 \text{ m}^2/\text{V.s}$, Mobilitas elektron basis (μ_{nB}) = $478 \text{ cm}^2/\text{V.s}$, Mobilitas hole kolektor (μ_{pC}) = $407 \text{ cm}^2/\text{V.s}$, Emitor Lifetime (τ_{pE}) = $0,2 \text{ ns}$, Base Lifetime (τ_{nB}) = $0,2 \text{ ns}$, Kolektor Lifetime (τ_{pC}) = $0,7 \text{ ns}$, lebar basis (W_B) = $0,4 \mu m$, lebar emitor (W_E) = $0,0012 \mu m$, lebar kolektor (W_C) = $0,5 \mu m$, diperoleh difusi elektron di basis menggunakan persamaan [4] yaitu :

$$D_{nB} = \mu_n \frac{k.T}{q} \quad (3.2)$$

$$D_{nB} = 478 \cdot \frac{\text{cm}^2}{\text{V.s}} (0,026 \text{ V}) = 12,4 \text{ cm}^2 / \text{s}$$

L_{nB} , basis *diffusion length* diperoleh dari Persamaan :

$$L_{nB} = \sqrt{D_{nB} \tau_{nB}} \quad (3.3)$$

$$L_{nB} = \sqrt{12,4 \text{ cm}^2 \text{s}^{-1} \cdot 9,27 \cdot 10^{-7} \text{ s}} = 0,00338647 \text{ cm}$$

basis *transport factor* α_T didapatkan yaitu :

$$\alpha_T \approx \left(1 + \frac{W_B^2}{2L_{nB}^2} \right)^{-1} \approx 1 \quad (3.4)$$

D_{pE} (*diffusi hole emitor*), diperoleh menggunakan persamaan yaitu :

$$D_{pE} = \mu_{pE} \frac{k.T}{q} \quad (3.5)$$

$$D_{pE} = 50 \cdot \frac{\text{cm}^2}{\text{V.s}} (0,026 \text{ V}) = 1,29 \text{ cm}^2 / \text{s}$$

L_{pE} (*Emitor Diffusion length*), diperoleh dengan persamaan yaitu :

$$L_{pE} = \sqrt{D_{pE} \tau_{pE}} \quad (3.6)$$

$$L_{pE} = \sqrt{1,29 \cdot \text{cm}^2 \text{s}^{-1} \cdot 0,53 \cdot 10^{-9} \text{ s}} = 2,6 \cdot 10^{-5} \text{ cm}$$

γ_E (*emitor injection efficiency*) diperoleh menggunakan persamaan :

$$\gamma_E = \left(1 + \frac{D_{pE} N_{aB} W_B}{D_{nB} N_{dE} W_E} \right)^{-1} \quad (3.7)$$

Diperoleh hasil $\gamma_E = 0,912$ Sehingga penguatan arus

$\alpha_F \approx \gamma_E \cdot \alpha_T$ didapatkan yaitu :

$$\alpha_F \approx \gamma_E \cdot \alpha_T = 0,912 \cdot 1 = 0,912$$

Hubungan antara β_F dan α_F didapatkan penguatan arus *forward* [1]- [6] yaitu :

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} = \frac{0,912}{1 - 0,912} \approx 10,4$$

Sedangkan untuk menentukan emitor *common reverse gain* (β_R) menggunakan persamaan [5] :

$$\beta_R = \frac{D_{nB} N_{dC} W_{EPI}}{D_{pC} N_{aB} W_B} \quad (3.8)$$

$$\beta_R = \frac{D_{nB} N_{dC} W_{EPI}}{D_{pC} N_{aB} W_B} = \frac{12,4 \cdot 2 \cdot 10^{16} \cdot 5 \cdot 10^{-5}}{10,5 \cdot 3 \cdot 10^{17} \cdot 4 \cdot 10^{-5}} = 0,095 \approx 0,1$$

sehingga luasan Emitor Area (A_E) dengan model parameter I_S (arus saturasi) bipolar transistor sebesar $3,64 \cdot 10^{-16} \text{ A}$, dan $W_B = 0,4 \mu m$ adalah :

$$A_E = \frac{I_S \cdot W_B N_{AB}}{q D_B n_i^2} \quad (3.9)$$

Sehingga luasan keseluruhan Emitor area (A_E) adalah sebesar $2,28 \cdot 10^{-5} \text{ cm}^2$, atau luasan persegi emitor Area ditentukan dengan $A_E = 19 \times 120 \mu m$.

3.6 Karakteristik Transfer Alih Tegangan (VTC)

❖ VTC Standard TTL AOI

Perhitungan karakteristik transfer alih tegangan (VTC) *standard* TTL AOI parameter V_{IL} dengan menggunakan persamaan [4] :

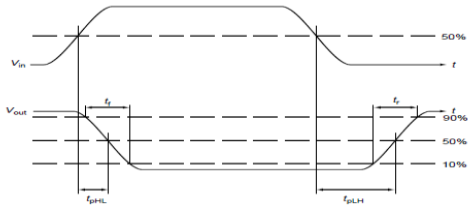
$$V_{IL} = V_{BEA} - V_{CE(SAT)} \quad (3.10)$$

Sedangkan perhitungan parameter V_{IH} diperoleh dari persamaan :

$$V_{IH} = 2 \cdot V_{BE(SAT)} - V_{CE(SAT)} \quad (3.11)$$

3.7 Propagation Delay

Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Waktu propagasi dari penundaan ini yaitu perbedaan waktu antara titik di mana V_{IN} meningkat sampai 50% dari nilai akhir dan saat V_{OUT} jatuh ke titik 50%. ini disebut t_{pHL} , Dan ketika V_{IN} jatuh sampai 50% dari nilai akhir dan saat V_{OUT} menurun ke titik 50%. ini disebut t_{pLH} [9]. didefinisikan seperti dalam Gambar 3.5



Gambar 3.5 Definisi Propagation Delay
propagation delay didefinisikan sebagai rata-rata t_{PHL} dan t_{PLH} adalah :

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2} \quad (3.12)$$

Aproksimasi perhitungan untuk t_{PLH} rangkaian tipe totem pole dengan $V_{OH} = 3,5v$ dapat dituliskan dengan persamaan [1,7]:

$$t_{PHL} = CL \frac{1,7}{I_{C(max) \text{ output aktif Pull Down}}} \quad (3.13)$$

Kemudian aproksimasi perhitungan t_{PHL} didefinisikan dengan persamaan :

$$t_{PHL} = CL \frac{1,7}{I_{E(average.output \ aktif \ pull \ up)}} \quad (3.14)$$

C_L merupakan kapasitor beban rangkaian dan $I_{C(Max)}$ adalah arus kolektor maksimum dari output aktif pull down sedangkan $I_{E(Average Output pullup)}$ merupakan arus emitor rata rata dari output, sedangkan perhitungan rise time (t_r) adalah waktu yang diperlukan untuk berubah dari 10% V_{CC} ke 90% V_{CC} .

$$t_r = 2 \cdot t_{PLH} \quad (3.15)$$

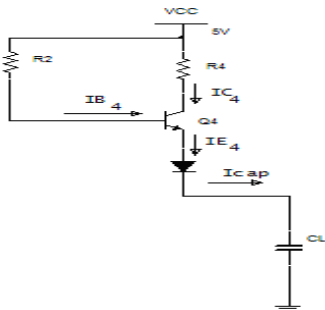
Fall time (t_f) merupakan waktu yang diperlukan untuk berubah dari 90% V_{CC} ke 10% V_{CC} .

$$t_f = 2 \cdot t_{PHL} \quad (3.16)$$

❖ Propagation Delay Standard TTL AOI

Analisis perhitungan standard TTL AOI pada suhu 27°C, nilai parameter propagation delay (t_{ph}) berdasarkan rangkaian aktif pull-up seperti ditunjukkan Gambar 3.5 Pada saat, $V_o = V_{CE(sat)} = 0,1 V$, sehingga arus i_{B4} dapat diperoleh persamaan :

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_D - V_o}{R_2} \quad (3.17)$$



Gambar 3.5 Rangkaian aktif pull-up standard TTL
 I_{B4} , diperoleh $V_o = V_{CE(sat)} = 0,1V$ sebesar 2,1 mA
Saat $V_o = V_{CE(sat)} = 0,1 V$, pengisian arus kapasitor ($i_{CAP} \approx I_{E4}$) dan $\beta F = 10$ yaitu :

$$i_{Cap} \approx i_{E4} = (\beta + 1) \cdot i_{B4} = (10 + 1) \cdot 2,1 \approx 23 mA$$

Pada saat V_o meningkat = 1,8 V sehingga arus basis dari transistor Q_4 yaitu 1,125 mA, pengisian arus kapasitor

($i_{CAP} \approx I_{E4}$), jika common emitter Gain ($\beta F = 10$) diperoleh hasil :

$$i_{Cap} \approx i_{E4} = (\beta + 1) \cdot i_{B4} = (1 + 10) 1,125 mA = 11,25 mA$$

Sehingga arus rata rata pengisian kapasitor yaitu :

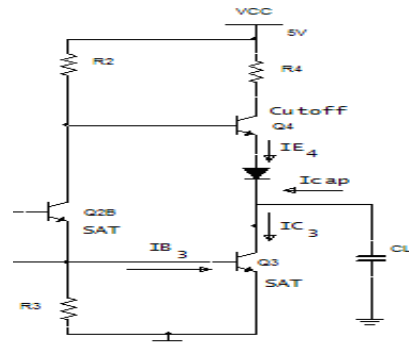
$$i_{Cap(rata-rata)} = \frac{23 mA + 11,25 mA}{2} \approx 17 mA$$

t_{PLH} , untuk kapasitor beban (C_L) = 15pf diperoleh yaitu

$$t_{PLH} = 15 \frac{1,7}{17} = 1,5 ns$$

Sedangkan perhitungan propagation delay t_{PHL} seperti ditunjukkan dalam Gambar 3.6 diperoleh I_{C3} (maksimum) yaitu :

$$i_{C3(sat)} = \beta \cdot i_{B3} = 10 \cdot 3,2 mA = 32 mA$$



Gambar 3.6 Rangkaian aktif pull-down standar TTL

Jadi perhitungan t_{PHL} dengan kapasitor beban $C_L = 15 pf$

$$t_{PHL} = 15 pf \frac{1,7}{32 mA} = 0,79 ns$$

Time propagation delay (t_{pd}) didefinisikan sebagai rata-rata t_{PHL} dan t_{PLH} , yaitu :

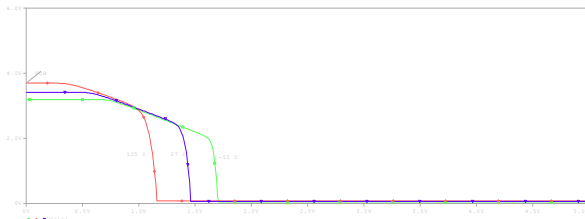
$$t_{pd} = \frac{0,79 + 1,5}{2} = 1,15 ns$$

IV. SIMULASI DAN PENGGAMBARAN LAYOUT

Proses simulasi yang dilakukan menggunakan software program Pspice cadence PSD 14.1 meliputi Simulasi karakteristik alih tegangan (VTC) untuk mengetahui besarnya nilai $V_{IL}, V_{IH}, V_{OL}, V_{OH}$, noise margin dan simulasi propagation delay untuk mengetahui besarnya nilai t_{PHL}, t_{PLH}, t_r dan t_f .

4.1 Hasil Simulasi Karakteristik Transfer Alih Tegangan (VTC)

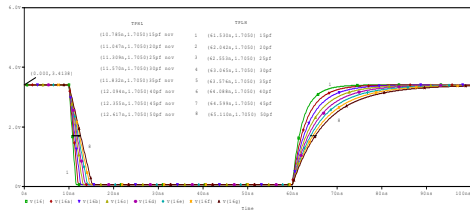
Pada simulasi VTC rangkaian diberi tegangan masukan DC sebesar 5V dengan kapasitor beban ($C_L = 15 pf$), dan $R_L = 5,2k$ berdasarkan hasil simulasi grafik ditunjukkan pada Gambar 4.1, berdasarkan hasil perbandingan perubahan pada suhu yang bervariasi ditunjukkan hasil pada suhu 125°C pada grafik VTC ada peningkatan tegangan output (V_{OH}), sedangkan suhu -55°C terjadi penurunan V_{OH} , dibandingkan pada suhu ruang (room temperature), sedangkan untuk parameter V_{IH} dan V_{OL} berbanding terbalik. kemudian hasil keseluruhan grafik VTC didiskripsikan pada Tabel 4.1.



Gambar 4.1. Hasil simulasi VTC suhu 125°C -, 27°C dan 55°C

4.2 Hasil Simulasi Propagation Delay

Hasil simulasi *time propagation delay* TTL AOI menggunakan beban kapasitor (C_L) 15 pf, ditunjukkan pada Gambar 4.3



Gambar 4.3 Hasil simulasi Time Propagation delay TTL AOI

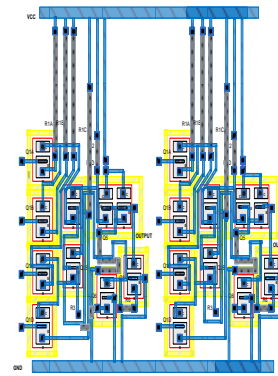
4.3 Perbandingan data hasil simulasi

Berdasarkan hasil simulasi dengan perbandingan menggunakan *datasheet* IC SN54LS51 didiskripsikan dalam Tabel 4.1 memberikan gambaran yang telah dirancang, sebagai dasar perbandingan dan kesimpulan tentang data hasil yang diperoleh dari perancangan terhadap IC AOI TTL, menggunakan beban kapasitor (C_L) = 15 pf dan $R_L=5,2$ k Ω .

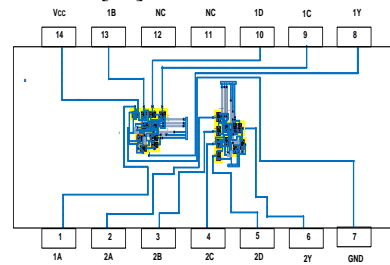
Tabel 4.1 Hasil simulasi perbandingan dengan Datasheet Time Propagation delay TTL AOI

Symbol Parameter	P	S	Data sheet TTLAOI SN54LS51[11]
V_{OH}	3,5	3,41	3,4
V_{OL}	0,1	0,06	0,5
V_{IH}	1,5	1,47	2
V_{IL}	0,60	0,60	0,8
t_{PHL}	0,79	0,78	8
t_{PLH}	1,50	1,53	13
t_R	3,00	3,02	26
t_F	1,58	1,56	16
t_{PD}	1,15	1,16	10,5

Hasil layout TTL AOI *dual 2-wide,2-input* didiskripsikan menggunakan microsoft Visio 2007 tanpa I/O pad dengan ukuran layout sebesar 3950 μm x 3085 μm ditunjukkan pada Gambar 4.5



Gambar 4.5 IC TTL AOI tanpa pad I/O menggunakan pad dengan ukuran layout sebesar 19,50 mm x 9,36 mm seperti ditunjukkan pada Gambar 4.6 dan sedangkan hasil *datasheet* IC TTL AOI sebesar 19,50 mm x 10 mm[11].



Gambar 4.6. IC TTL AOI dengan pad I/O

V. PENUTUP

5.1 Kesimpulan

Berdasarkan hasil analisis dan simulasi rangkaian TTL AOI *dual 2-wide,2-input* dapat disimpulkan sebagai berikut :

- ❖ Rangkaian pada IC TTL AOI terhadap kinerja waktu propagasi dari rangkaian terpadu *standard* TTL (*Integrated Circuit dual 2-wide,2-input AOI*) dapat diperoleh hasil lebih cepat berdasarkan simulasi dengan beban kapasitor 15pf, diperoleh peningkatan kecepatan 9,8 kali dibandingkan *datasheet* TTL AOI SN54LS51.
- ❖ Karakteristik transfer alih tegangan (VTC) dihasilkan pada suhu minimum (55°C) kinerja rangkaian IC TTL AOI kurang maksimal dibandingkan pada suhu 27°C dan suhu 125°C.
- ❖ Berdasarkan hasil simulasi disipasi daya (P_D) yang dihasilkan lebih besar dibandingkan pada rangkaian *standard* TTL AOI.

REFERENSI

- [1] Adel S. Sedra, Kenneth C. Smith, 2004. *Microelectronic Circuit Fifth Edition* Oxford university press, New York.
- [2] Gray, Hurst, Lewis, Meyer, dkk. 2001. *Analysis and Design of Analog Integrated Circuit. fourth Edition.* John Wiley & Sons Ltd., New York
- [3] J.-Y. Lee, S. Singh, and J. A. Cooper, 2008. "Demonstration and characterization of bipolar monolithic integrated circuits in 4H-SiC," *IEEE Trans. Electron Devices*, vol. 55, no.8.
- [4] John E Ayers.2004. *Digital integrated circuits.* CRC Press LLC.University of Connecticut. Boca Raton London New York Washington, D.C.
- [5] Kurt Hoffmann.2004.*System Integration From Transistor Design to Large Scale Integrated Circuits,* John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester,West Sussex PO19 8SQ, England.

- [6] Muhammad H.Rashid.2011.Microelectronic Circuits:Analysis and Design.PWS publishing company.Boston.
- [7] March Cahay , ECECS 352: Electronics II (Spring 2012), [Online].Available : <http://www.ece.uc.edu/~mcahay/>
- [8] National *Semiconductor Data Sheet*, Products Inc.,Texas , 1988.
- [9] Richard C Jaeger, Travis N. Blalock.2011..Microelectronic Circuit Design, Fourth Edition Published by McGraw-Hill, a business unit of The McGraw-Hill Companies, Inc., 1221 Avenue of the Americas, New York..
- [10] Singh S., and J. A. Cooper, 2011. "Bipolar integrated circuits in 4H-SiC,"*IEEE Trans. Electron Devices*, PP 99, no 1.
- [11] Philips *Semiconductor Data Sheet*, Products Inc., 1989.